

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-212620
 (43)Date of publication of application : 18.09.1991

(51)Int.CI.

G02F 1/136

(21)Application number : 02-008025

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 17.01.1990

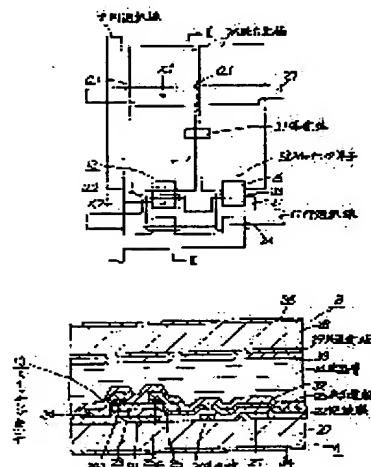
(72)Inventor : NORIYAMA HIDETAKA
 KASHIHARA TOMIO
 ABE MASANARU
 FUKUI ISAO

(54) ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To allow nearly the complete repair of the spot defects occurring in the shorting between electrodes by providing conductors which overlap on respective display electrodes respectively via insulating films and are not electrically connected to other picture element constituting elements between the respective display electrodes which are dividedly disposed to plural pieces per picture element.

CONSTITUTION: The display electrodes 26 are dividedly disposed by two pieces per picture element and TFTs 13 are respectively provided on the respective display electrodes 26. The conductor 31 insulated by the gate insulating film 22 is provided on the two display electrode 26 so as to partly overlap thereon. The broken line a1 part of an auxiliary capacity line 17 is first cut by a laser when a shorting arises at the point x1 between the display electrode 26 and the auxiliary capacity line 17. The overlap part between the conductor 31 and the two display electrode 26 is then punched by a laser to short the conductor 31 and the two display electrode 26 through the gate insulating film 22 so that the two display electrode 26 are electrically conducted by the conductor 31. Eventually half the initial auxiliary capacity remains in this way and the high display grade is obtd.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑯日本国特許庁(JP)

⑪特許出願公開

⑫公開特許公報(A)

平3-212620

⑬Int.Cl.⁵

G 02 F 1/136

識別記号

500

庁内整理番号

9018-2H

⑭公開 平成3年(1991)9月18日

審査請求 未請求 請求項の数 1 (全6頁)

⑮発明の名称 アクティブマトリクス型液晶表示装置

⑯特 願 平2-8025

⑰出 願 平2(1990)1月17日

⑱発明者 乗山 英孝 兵庫県姫路市余部区上余部50番地 株式会社東芝姫路工場
内

⑲発明者 横原 富雄 兵庫県姫路市余部区上余部50番地 株式会社東芝姫路工場
内

⑳発明者 阿部 昌匠 兵庫県姫路市余部区上余部50番地 株式会社東芝姫路工場
内

㉑発明者 福井 功 兵庫県姫路市余部区上余部50番地 株式会社東芝姫路工場
内

㉒出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

㉓代理人 弁理士権沢義 外3名

明細書(2)

1. 発明の名称

アクティブマトリクス型液晶表示装置

2. 特許請求の範囲

(1) それぞれ複数の行選択線および列選択線を絶縁膜を介して互いに交差することなく配設し、それぞれ1画素となるこれらの各交点部分に、それぞれスイッチング素子およびこのスイッチング素子を介して表示電極を設け、さらにこの表示電極の一端に補助容量を形成すると共に、この表示電極とこれに対向する共通電極との間に液晶層を挟持したアクティブマトリクス型液晶表示装置において、

前記表示電極を1画素当たり複数個に分割して配置すると共に、この各表示電極に前記スイッチング素子をそれぞれ設け、前記各表示電極間に各表示電極とそれぞれ絶縁膜を介して重なり合い且つ他の画素構成要素と電気的に接続されていない導電体を設けたことを特徴とするアクティブマトリクス型液晶表示装置。

3. 発明の詳細な説明

(発明の目的)

(産業上の利用分野)

本発明は、薄膜トランジスタ等を画素駆動用のスイッチング素子として用いたアクティブマトリクス型液晶表示装置に関する。

(従来の技術)

液晶表示装置は、薄型・軽量で低消費電力である等の特徴を持っており、携帯用機器のディスプレイ装置として広く用いられている。このうち、特に、高精細を要求されるパーソナルコンピュータのディスプレイ装置や、テレビ画面用等としては、アクティブマトリクス型が多く用いられている。このアクティブマトリクス型液晶表示装置は、画素毎に設けられた薄膜トランジスタ(以下、TFTと呼ぶ)等によるスイッチング素子によって、表示素子アレイに画像信号を選択的に印加するもので、高コントラストでクロストークのない鮮明な画像を得ることができる。

以下、第4図によりアクティブマトリクス型

液晶表示装置の動作原理を説明する。第4図において、行選択線である複数の走査線11と、列選択線である複数の信号線12との各交点部分にはスイッチング素子である前記TFT13を設け、このTFT13を介して液晶層14と画素容量15とを接続している。そして、走査回路16は、複数の走査線11に対して順次ゲートパルスを印加する。また、信号ホールド回路17は、上記ゲートパルスに同期して、このゲートパルスが加わった走査線11の1ライン分の画像信号を複数の信号線12に出力する。TFT13は、対応する走査線11にゲートパルスが印加されている間、導通状態になっており、そのとき信号線12に出力されている画像信号に応じて画素容量15に電荷を蓄積させ、液晶層14を駆動する。ゲートパルスが次の走査線11に移ると、上記1ライン分のTFT13は非導通状態になり、蓄積された電荷は次に走査を受けるまで保持される。この結果、液晶層14の表示状態は維持される。

第5図および第6図は、この種のアクティブマトリクス型液晶表示装置の1画素分の構成例を

この間に位置する液晶層14を駆動して所定の表示を行う。

(発明が解決しようとする課題)

上記のような構造のアクティブマトリクス型液晶表示装置は電極配置が複雑であり、しかも、多層配線を用いているため、電極間のショートが発生し易い。これらのショートの多くは、ゲート絶縁膜22を介して配置されたゲート電極21とソース電極25との間、および、表示電極26と補助容量線27との間に発生する。このようなショートが発生すると、表示電極26の電位が所定値にならず、表示画面上に点欠陥が生じる。特に、輝点欠陥は、画質を大きく損なうため、歩留り低下の大きな要因になっている。

このような点欠陥が生じた場合、ショート部分を取り除くための補修が必要となる。このような補修法については従来から種々提案されているが、代表的な例としてレーザを用いる補修法がある。この補修法では、例えば、ショートが表示電極26と補助容量線27との間で生じた場合、第5図で示

示しており、第5図はアレイ基板上での平面図、第6図は第5図VI-VI部の断面図である。

上記TFT13は、図示下方のガラス基板20上に形成され、走査線11と一緒にゲート電極21、ゲート絶縁膜22、半導体層23、信号線12と一緒にドレイン電極24、ソース電極25からなり、このソース電極25に表示電極26が接続されている。また、走査線11とほぼ平行に補助容量線27が形成されている。この補助容量線27は、ゲート絶縁膜22を介して表示電極26と部分的に対向するように設けられており、表示電極26との重なり部分で付加的な補助容量を得ている。この補助容量は、第4図における画素容量15を増加させ、保持期間でのTFT13の漏れ電流、および、表示電極26と他の電極との間の容量結合による表示電極電位の変動を緩和する。

一方、図示上方のガラス基板28には共通電極29が形成されており、液晶層14を介して図示下方のガラス基板20と対向している。そして、この共通電極29と前記表示電極26との間の電界により、

すように、補助容量線27をレーザにより破線部分aでカッティングし、ショート部分を取除いている。

しかし、上記の補修法によると、補修を施した画素では補助容量が無くなってしまうので、TFT13のリーク電流や、表示電極26と他の電極との間の容量結合による影響を受け易くなる。このため、表示電極26の電位が所定の電位からずれてしまい、点欠陥を完全に目立たなくすることは困難である。また、このような補修方法は、補助容量線27が片側からしか給電されていない場合や、ゲート電極21とソース電極25との間のショートには適用できない。

本発明の目的は、電極間等のショートに起因する点欠陥をレーザ補修法等により、ほぼ完全に補修することが可能で、点欠陥のほとんど無い高い表示品位を有するアクティブマトリクス型液晶表示装置を提供することにある。

(発明の構成)

(課題を解決するための手段)

本発明によるアクティブマトリックス型液晶表示装置は、それぞれ複数の行選択線および列選択線を絶縁膜を介して互いに交差するごとく配設し、それぞれ1画素となるこれらの各交点部分に、それぞれスイッチング素子およびこのスイッチング素子を介して表示電極を設け、さらにこの表示電極の一部に補助容量を形成すると共に、この表示電極とこれに対向する共通電極との間に液晶層を挟持した構成において、前記表示電極を1画素当たり複数個に分割して配置すると共に、この各表示電極に前記スイッチング素子をそれぞれ設け、前記各表示電極間に各表示電極とそれぞれ絶縁膜を介して重なり合い且つ他の画素構成要素と電気的に接続されていない導電体を設けたものである。

(作用)

本発明では、電極間等にショートが生じた場合、このショート部分をレーザカッティング等により除去し、ついで、導電体を各表示電極との重なり部分でショートさせ、各表示電極を導電体により電気的に接続する。

る。すなわち、表示電極26は1画素当たり2個に分割して配置されていると共に、この分割した各表示電極26にTFT13がそれぞれ設けられている。また、上記1画素当たり2つの表示電極26に対しては、これらとそれぞれ一部が重なるように導電体31が設けられている。ただし、この導電体31は、第2図で示すように、ゲート絶縁膜22により、前記2つの表示電極26との間が絶縁されている。また、これら2つの表示電極26を横切って走査線11とはほぼ平行に上記補助容量線21が形成されている。

第2図は、上記1画素部分の第1図Ⅱ-Ⅱ部の断面図である。

以下、この部分の構成を製造工程にしたがって説明する。始めに、図示下方のアレイ基板A側を説明する。まず、例えばガラス等からなる絶縁性基板20の一主面(図示上面)に、例えば遮光性材料であるクロム(Cr)膜をスパッタ法で被覆させた後、所定の形状にフォトエッチングすることによって、ゲート電極21、補助容量線21および導電体31をそれぞれ形成する。この際、第1図の

(実施例)

以下、本発明の一実施例を第1図および第2図を参照して説明する。なお、前記第4図、第5図および第6図に示した装置と対応する部分には同一符号を付して説明する。

第1図は、アレイ基板上の1画素部分を示す平面図である。第1図において、行選択線である複数の走査線11と、列選択線である複数の信号線12とが互いに交差するごとく配設され、これらの各交点部分にはスイッチング素子であるTFT13が設けられている。このTFT13は、上記走査線11と一体のゲート電極21、半導体層23、上記信号線12と一体のドレイン電極24、ソース電極25を有してなり、このソース電極25に表示電極26が接続されている。また、上記走査線11とはほぼ平行に補助容量線21が形成されている。

そして、上記スイッチング素子としてのTFT13および表示電極26は、1画素当たり2個づつ設けられており、これらは図示横方向の行選択線としての走査線11の長さ方向に沿って並置されてい

行選択線としての走査線11もゲート電極21と一緒に工程で形成する。次に、これらを覆うように、例えば酸化シリコン(SiO_x)からなるゲート絶縁膜22をプラズマCVD法により形成する。このゲート絶縁膜22が、第1図におけるゲート電極21とドレイン電極24、ソース電極25との間に介在する絶縁膜である。また、このゲート絶縁膜22の、ゲート電極21と対向する部分には、例えばI型の水素化アモルファスシリコン(a-Si:H)からなる半導体層23を、プラズマCVD法を利用して形成する。この半導体層23上には、電気的に互いに分離されたn型a-Si:Hからなるドレイン領域241とソース領域251とを、同じくプラズマCVD法を利用して設けている。

また、ゲート絶縁膜22上の、ソース領域251側に隣り合う部分には、表示電極26を設ける。この表示電極26は、例えばITO(インジウム・チタン・オキサイド)膜をスパッタ法で被覆した後、所定形状にフォトエッチングすることにより形成される。また、ソース領域251には、ソース電極

25の一端が接続され、このソース電極25の他端は表示電極26上に延在して接続されている。

一方、ドレイン領域24には、ドレイン電極24の一端が接続されている。ここで、ドレイン電極24とソース電極25とは、例えばモリブデン(Mo)膜とアルミニウム(AI)膜とをスパッタ法で順次被膜形成した後、所定形状にフォトエッチングするという同じ工程で形成する。また、第1図における列選択線としての信号線12もドレイン電極24と一緒に工程で形成する。これによって、所定のアレイ基板Aが得られる。

次に、図示上方の対向基板B側は、まず、例えばガラス等からなる絶縁性基板28の一主面(図示下面)に、例えばITOからなる共通電極29を形成する。

ここで、前記アレイ基板Aの一主面上の全面には、例えば低温キュア型のポリイミド(Pi)からなる配向膜31が形成されているが、上記対向基板Bの一主面全面にも、同じく、例えば低温キュア型のポリイミドからなる配向膜33を形成する。

2つの表示電極26との間をショートさせ、2つの表示電極26を導電体31により電気的に接続する。

このようにすると、画素全体では、当初の補助容量の1/2が残ることになり、第5図の従来の場合に比べて、TFT13のリーク電流や、表示電極26と周囲の電極との容量結合による表示電極電位のずれを小さく抑えることができ、補修を施した画素をほとんど目立たなくすることができます。

また、ゲート電極21とソース電極25とが、例えば第1図の×印のポイント12でショートした場合は、レーザによりソース電極25を破線12に沿って切断し、ソース電極25を表示電極26から切り離すことにより、ショート部分を取除く。この場合も上記と同様にして、2つの表示電極26を導電体31によって電気的に接続することにより、TFT13から切り離された表示電極26にも電荷を供給することができる。

実際に上記の点欠陥補修を施した液晶パネルの表示状態を白ラスター、黒ラスター、動画表示でそれぞれ観察したが、いずれの場合も、補修画

そして、アレイ基板Aおよび対向基板Bの一主面にそれぞれ形成された配向膜32、33を布等により所定の方向にこすることにより、ラビングによる配向処理をそれぞれ施す。さらに、アレイ基板Aと対向基板Bとを前述した一主面が互いに対抗し、かつ互いの配向軸がほぼ90°を成すように組合わせる。そして、これらによって得られる間隔内に液晶層14を挟持させる。

なお、アレイ基板Aおよび対向基板Bの各他主面側には、それぞれ偏光板34、35が接着されており、これらアレイ基板Aおよび対向基板Bのどちらか一方の他主面側から照明が行われる。

上記構成において、表示電極26と補助容量線27との間の、例えば第1図で示す×印のポイント11でショートが生じた場合、まず、レーザにより補助容量線27の破線11部分、すなわち、図示左方の表示電極26の両側に相当する部分を切断することにより、ショート部分を取除く。ついで、導電体31と2つの表示電極26との重なり部分をレーザで打ち抜き、ゲート絶縁膜22を貫いて導電体31と

素とその周辺の画素との輝度差は非常に小さく、実用上問題ないレベルに抑えることができた。

第3図は本発明の他の実施例におけるアレイ基板上の1画素部分を示す平面図である。この実施例は、第1図の実施例に対し、補助容量線27の位置と2つの表示電極26の形状が異なっている。すなわち、補助容量線27を2つの表示電極26の上端部に配置し、また、各表示電極26には、補助容量線27に沿ったくびれ部36を設けている。

上記構成において、表示電極26と補助容量線27との間、すなわち、第3図の×印のポイント13でショートが発生した場合は、一方の表示電極26を破線13の部分で切断することにより、ショート部分を取除く。その後、導電体31と2つの表示電極26との重なり部分をレーザで打ち抜き、導電体31を介して2つの表示電極26を電気的に接続する。

ここで、第1図で示した実施例では、補助容量線27と一方の表示電極26との間のショートに対して補助容量線27を切断するため、補助容量線10が両側から給電されていたとしても1ラインで1

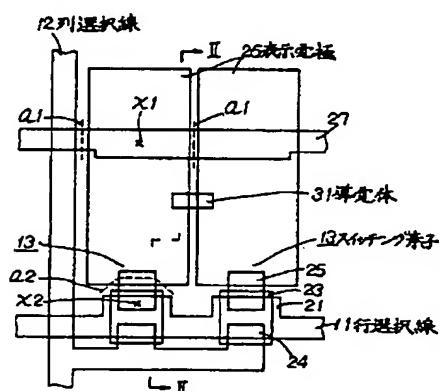
個所の補修しかできず、一方、片側からの給電の場合には、補修することができない。これに対し、第3図の実施例では、表示電極26を切断するため、補助容量線27が片側からしか給電されていない場合にも適用することができる。レーザ補修による効果は、第1図の実施例とまったく同じである。

なお、上記いずれの実施例においても、表示電極26は1画素につき2個設けているが、3個以上に分割して並設してもよい。このように、表示電極26を1画素につき複数個に分けることにより、故障部分が確認しやすくなる。また、補助容量線27は、必要なければ特に設けなくてもよい。

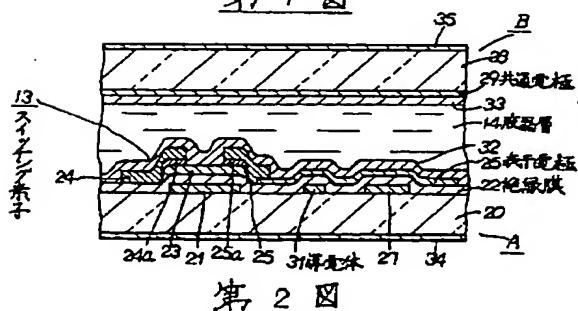
[発明の効果]

以上のように本発明によれば、電極間等のショートに起因する点欠陥をレーザ補修法等により、ほとんど完全に補修することが可能となり、このため、点欠陥のほとんど無い、高い表示品位を有するアクティブマトリクス型液晶表示装置を得ることができる。

4. 図面の簡単な説明



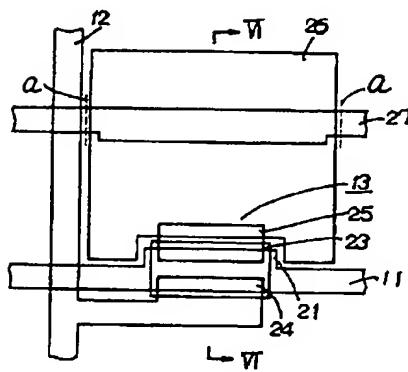
第1図



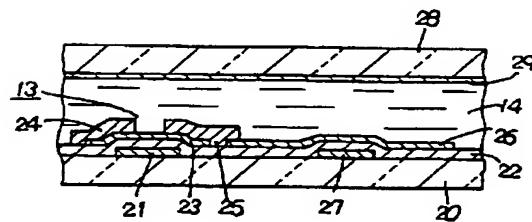
第2図

第1図は本発明によるアクティブマトリクス型液晶表示装置の一実施例を示すアレイ基板上の1画素部分の平面図、第2図は第1図におけるII-II部の断面図、第3図は本発明の他の実施例を示すアレイ基板上の1画素部分の平面図、第4図はアクティブマトリクス型液晶表示装置の動作原理の説明図、第5図は従来のアクティブマトリクス型液晶表示装置を示すアレイ基板上の1画素部分の平面図、第6図は第5図VI-VI部の断面図である。

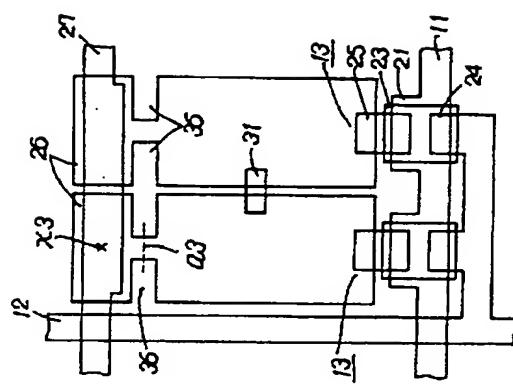
11···行選択線、12···列選択線、13···スイッチング素子、14···液晶層、22···絶縁膜、26···表示電極、29···共通電極、31···導電体。



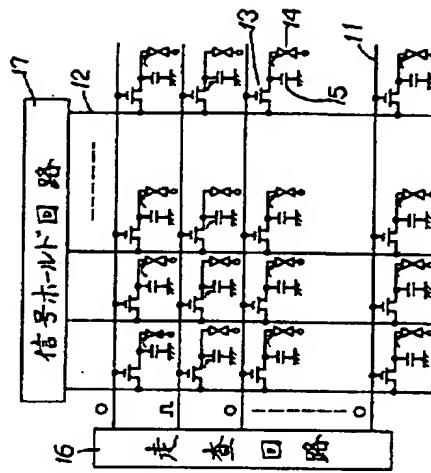
第5図



第6図



第3図



第4図